

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-027148

(43)Date of publication of application : 30.01.1992

(51)Int.Cl.

H01L 23/50

(21)Application number : 02-132271

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.05.1990

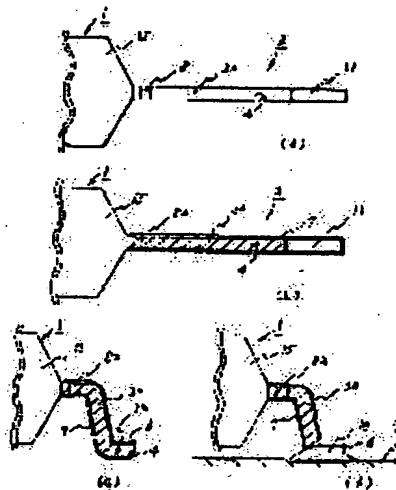
(72)Inventor : YOSHIMORI KENZO

## (54) LEAD FRAME FOR SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To make it possible to mount a substrate with high reliability and carry out a visual test in automatic mode after the substrate is mounted by installing a groove or a dent on the front surface or the rear surface of a cut solid piece of an outer lead of a lead frame.

CONSTITUTION: A groove 4, for example, one with a U-shaped cross section is installed to the rear surface of a solid cut piece of a semiconductor device 1 of a whole outer lead 3a for a lead frame 2 which holds a dam bar 8, which connects the plurality of leads and the outer peripheral part of the plurality of leads. The solid cut pieces, which are located, start from the root of the outer lead 3a of a device body 15 and separated from the tip 3b of the outer lead by extension length in the shape of the outer lead. The groove section 4 is bonded with solder 7. Therefore, the lead tip 3b is also bonded with solder 10, which prevents solder strength from being degraded. Furthermore, they are soldered more definitely during the substrate is mounted, which makes it possible to carry out a visual test of soldering in automatic mode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑫ 公開特許公報(A) 平4-27148

⑤ Int. Cl.<sup>5</sup>  
H 01 L 23/50

識別記号 庁内整理番号  
K 9054-4M

⑬ 公開 平成4年(1992)1月30日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置用リードフレーム

⑮ 特 願 平2-132271

⑯ 出 願 平2(1990)5月22日

⑰ 発 明 者 吉 森 健 三 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置用リードフレーム

2. 特許請求の範囲

少なくとも半導体チップ搭載部の周囲に配された複数リードと、前記リードの中間に位置し前記複数リードをつなぐダムバーと、前記複数リードの外周部を保持する枠部をもつ半導体装置用リードフレームにおいて、前記リードの半導体装置の前記半導体装置用リードフレームからの切り離し箇所の表面あるいは裏面に溝あるいは窪を設けたことを特徴とする半導体装置用リードフレーム。

3. 発明の詳細な説明

[ 産業上の利用分野 ]

半導体装置用リードフレームの構造に関する。

[ 従来の技術 ]

半導体装置1は基板9実装方法によってリード挿入型と表面実装型に大別でき、表面実装型半導体装置には第4図に示すごとく(a)ガルウィング (b) Jリード (c) ドットリード等のリード形状がある。特にガルウィングは他に比べ、I) 基板9実装時のはんだ付け性が高い。

II) はんだ付け後の検査がし易い。III) I) II) のことからリードピッチを縮小できる。IV) はんだ付け前後の温度変化による半導体装置の膨張、収縮に対する応力吸収構造になっている等の利点から表面実装型半導体装置のリード形状の主流になってきている。

ここでガルウィングの加工順序の概要を第5図を用いて説明する。但し、便宜上リード数本しか示さないものとし、樹脂封止の半導体装置を例にとるものとする。まず、半導体チップ12表面に形成された電極パッドとリード3を導電性細線13にて接続後、ダムバー8の内側までプラスチック等樹脂にて封止する(以下封止部を本体15と

称する。またリード3の本体15より外側部分をアウターリード3aと称する。第5図(a)。

次に、ダムバー8を切断し(第5図(b))、アウターリード3a表面にはんだめっき7を施し(第5図(c))、半導体装置1をリードフレーム枠部11より切り離し(以下個片切断と称する。第5図(d))、アウターリード3aを所定の形状に成型加工し半導体装置1の形状が完成する(第5図(e))。

アウターリード3a表面にはんだめっき7を施すのは、リードフレーム2材の42A110yあるいは銅材はフラックス等無でじかにはんだ10をつけるのが困難なため、めっき時の取扱性やアウターリード3a変形防止等の理由から半導体装置1個片切断前に行われるのが一般的である。(はんだめっき7の他にアウターリード3aを溶融はんだに浸漬するはんだディップ法もあるが、隣接アウターリード3aとブリッジしやすい他、厚みの管理が難しくアウターリード3a成形加工精度が落ちるため、表面実装型半導体装置

付け強度は主にB、D部の接合力で得られていた。しかし半導体装置1の多ピン化及びアウターリード3aピッチの縮小化のなかで、B部平面面積が確保できなくなってきたり、その分を接合面積確保の意味で余裕のあるA部で補わなくてはならなくなっている。また、はんだ付け外観検査において、アウターリード3aピッチの縮小化のなかでA部が最も識別しやすい箇所であり、A部への確実なはんだ付けは、外観検査の自動化を行ううえでも重要な課題となっている。その他として、半導体チップ12が高集積化し処理速度が高速化しそれにとまなう発熱に対し半導体装置1の放熱性向上の要求がある。その手段の1つとして、従来第7図(a)のように半導体チップ12表面が上向きになるよう基板9実装されていたものを、第7図(b)のように半導体チップ12表面を下向きにし、裏面の半導体チップ搭載部を厚くし放熱性基板14として用いる場合がでてきた。この場合のアウターリード3a成形加工は、リードフレーム2形状の制約、加工装置の制約等か

の場合一般的ではない。)

半導体装置1をリードフレーム枠部11より個片切断する場合、各アウターリード3aの基板9実装時はんだ付け部分(以下、リード平坦部3bと称する)の基板9実装面に対する高さ方向ばらつき(以下コプラナリティと称する)を小さくするために、第5図(e)のようにバリ6が上を向くように切断するのが一般的である。コプラナリティは、ますます多ピン化する表面実装型半導体装置の最重要管理項目の1つである。

#### [ 発明が解決しようとする課題 ]

第6図は、ガルウィングを基板9にはんだ付けた状態を示す斜視図で、リード平坦部3b先端部をA側面部をB、曲げ後方部をDで示すものとする。

A部は前述のように、個片切断部であるためはんだめっき7が施こされておらず、また下面に切断時のだれがあるため、従来より基板9実装時はんだ10が付きづらい部分とされており、はんだ

ら、前述した第5図(d)の個片切断後半導体装置1を上下逆さにしてアウターリード3aを成型するのが一般的である(以下この方法を逆曲げと称する)。この場合、リード平坦部3bA部は個片切断時のバリ6が下向きにできるためコプラナリティが大きくなり基板9実装時のはんだ付け性が悪くなるという問題が生じる。

そこで本発明はこのような課題を解決しようとするもので、その目的とするところは、高品質で信頼性の優れた基板実装が可能になるとともに、基板実装の自動化及び基板実装後の外観検査の自動化が可能になる半導体装置用リードフレームを提供するところにある。

#### [ 課題を解決するための手段 ]

本発明の半導体装置用リードフレームは、少なくとも半導体チップ搭載部の周囲に配された複数リードと、前記リードの中間に位置し、前記複数リードをつなぐダムバーと、前記複数リードの外周部を保持する枠部をもつ半導体装置用リードフ

レームにおいて、前記リードの半導体装置の前記半導体装置用リードフレームからの切り離し箇所の表面あるいは裏面に溝あるいは窪を設けたことを特徴とする

#### [実施例]

第1図(a)は、本実施例を示す半導体装置用リードフレーム2のアウトターリード3a部分を示す側面図。第1図(b)は、前記リードフレーム2にはんだめっき7を施したところを示す側面図。第1図(c)は前記はんだめっき7後アウトターリード3aをガルウィングに成形加工したところを示す側面図、第1図(d)は、前記ガルウィングを基板9にはんだ付けしたところを示す側面図である。本実施例によれば、エッチングで製造される半導体装置用リードフレーム2の全アウトターリード3aの半導体装置1固片切断箇所の裏面に、ハーフエッチングにより断面U字状の溝4を設けたものである。

固片切断箇所は、半導体装置本体15のアウト

ターリード3aの半導体装置1を逆曲げしたところを示す側面図、第3図(d)は逆曲げした半導体装置9を基板9にはんだ付けしたところを示す側面図である。これは、エッチングで製造される半導体装置用リードフレーム2の全アウトターリード3aの半導体装置1固片切断箇所の表面に、ハーフエッチングにより断面U字状の溝4を設けたものである。これによれば、前述の実施例と同様のはんだ付け強度が得られる他、固片切断の際に生じるバリ6が溝4の内側にできることになるため、逆曲げしても通常の曲げと同じコプラナリティを得ることができる。

以上実施例としてエッチングリードフレーム2について述べたが、プレスリードフレームについてもVノッチ等を設けることによって同等の効果をすることができる。溝4あるいは窪5の断面形状はU字状にかぎらず、V字状、凹状、半月状等であってもかまわない。但し、溝4あるいは窪5の効果としては、深さは半導体装置用リードフレーム2の厚さの2分の1以上はあったほうがよい。

ーリード3a付け根部から、ねらいのアウトターリード形状の展開長さ分離したところにある。溝4の部分は、はんだめっき7が施されているため、固片切断後のリード先端部3bにもしっかりとはんだ10がつくので、はんだ付け強度が低下することない。

第2図(a)は、他の実施例を示す半導体装置用リードフレーム2のアウトターリード3a部分を示す側面図で、第2図(b)はその平面図である。これは、エッチングで製造される半導体装置用リードフレーム2に、前述した実施例と同等の箇所に、ハーフエッチングにより窪5を設けたもので、窪5の部分は、はんだめっき7が施されているため、前述した実施例と同等の効果が得られる。

第3図(a)は、さらに他の実施例を示す半導体装置用リードフレーム2のアウトターリード3a部分を示す側面図で、第3図(b)は、はんだめっき7後固片切断直後のアウトターリード3a先端部を示す側面図、第3図(c)は、固片切断後半

#### [発明の効果]

以上の説明からもわかるように、本発明のように、半導体装置用リードフレームのアウトターリードの半導体装置固片切断箇所の表面あるいは裏面に溝あるいは窪を設けることによって、

1. 固片切断されるアウトターリード先端部にもはんだめっきが施されるため、基板実装時にリード平坦部に確実なはんだ付けが行なえ、十分なはんだ付け強度が得られる。

2. 基板実装時、確実なはんだ付けが行えるため、はんだ付け外観検査の自動化を行なえるようになる。

3. 逆曲げの場合、固片切断時のバリが溝あるいは窪の内側におさまるため、通常の曲げと同様のコプラナリティが得られる。

さらには、

4. 半導体装置固片切断時の負荷が少なくなるため、固片切断用パンチの寿命を長くすることができる。

等の効果が得ることができる。

## 4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例を示す図で、第1図(a)はアウターリード部分を示す側面図、第1図(b)はリードフレームにはんだめつきを施こしたことを示す側面図、第1図(c)は、アウターリードを成形加工したところを示す側面図、第1図(d)はアウターリードを基板にはんだ付けしたところを示す側面図。

第2図(a)～(b)は本発明の他の実施例を示す図で、第2図(a)は、アウターリード部分を示す側面図、第2図(b)は、アウターリード部分を示す平面図。

第3図(a)～(d)は本発明のさらに他の実施例を示す図で、第3図(a)は、アウターリード部分を示す側面図、第3図(b)は、固片切断直後のアウターリード先端部を示す側面図、第3図(c)は、アウターリードを逆曲げに成形加工したところを示す側面図、第3図(d)は、アウターリードを基板にはんだ付けしたところを示す側面図。

第4図(a)～(c)は、表面実装型半導体装置のアウターリード形状を示す図で、第4図(a)は、ガルウィングを示す側面図、第4図(b)はJリードを示す側面図、第4図(c)は、パットリードを示す側面図。

第5図(a)～(e)は、アウターリードを成形加工する際の手順を示す図で、第5図(a)は半導体チップ等の封止直後を示す斜視図、第5図(b)は、タイバー切断直後を示す斜視図、第5図(c)は、はんだめつき直後を示す斜視図、第5図(d)は、固片切断直後を示す斜視図、第5図(e)は、アウターリード成形直後を示す斜視図。

第6図は、基板にアウターリードをはんだ付けしたところを示す斜視図。

第7図(a)～(b)は、半導体装置の構造を示す図で、第7図(a)は、通常曲げ方向を示す断面図、第7図(b)は、逆曲げ方向を示す、放熱板付き半導体装置の断面を示す断面図。

1 ……半導体装置

態

0 ……リード平坦部曲げ後方部のはんだ付け状態

以 上

2 ……半導体装置用リードフレーム

3 ……リード

3 a ……アウターリード

3 b ……リード平坦部

4 ……溝

5 ……窪

6 ……バリ

7 ……はんだめつき

8 ……ダムバー

8 a ……ダムバー切断部

9 ……基板

10 ……はんだ

11 ……半導体装置用リードフレーム枠部

12 ……半導体チップ

13 ……導電性細線

14 ……放熱性基板

15 ……本体

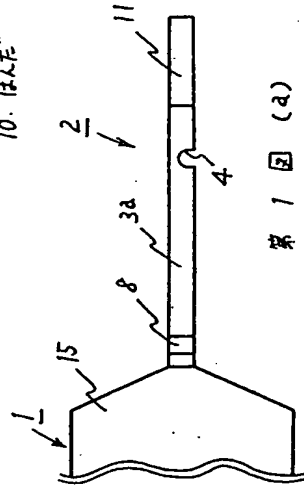
A ……リード平坦部先端部のはんだ付け状態

1 B ……リード平坦部側面部のはんだ付け状態

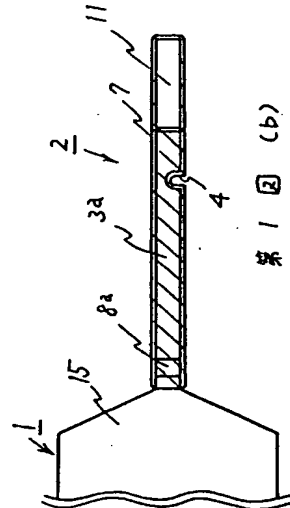
出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木喜三郎(他1名)

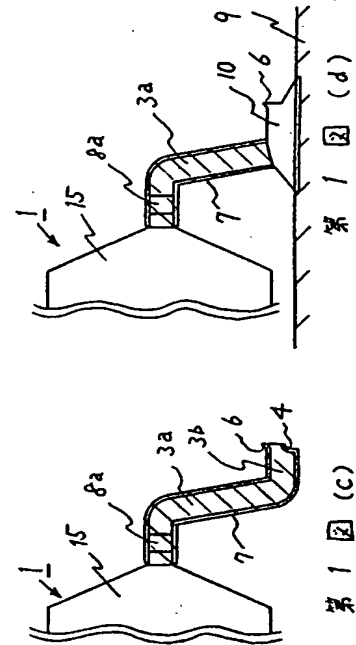
1. 半導体装置  
2. 半導体装置用リードフレーム  
3a. フラグ-リード  
4. 溝  
7. はんだめき  
10. はんだ



第1図(a)

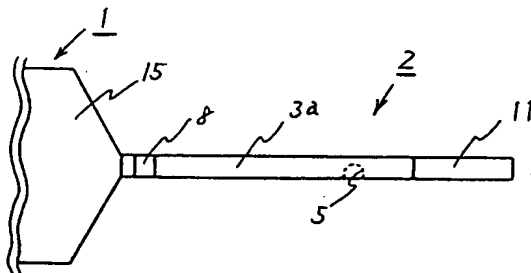


第1図(b)

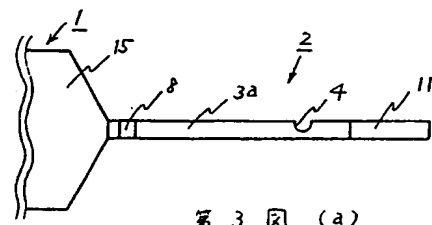


第1図(c)

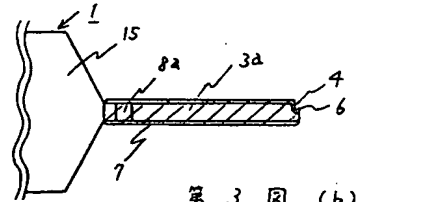
第1図(d)



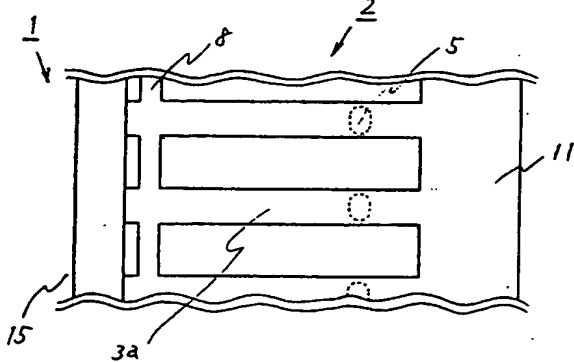
第2図(a)



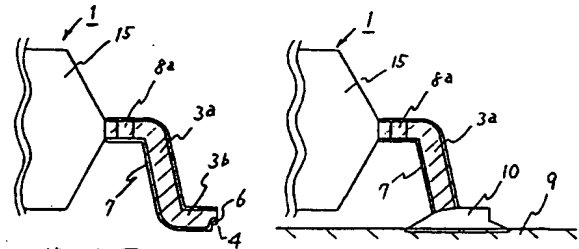
第3図(a)



第3図(b)

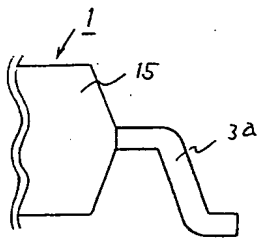


第2図(b)

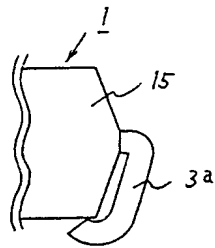


第3図(c)

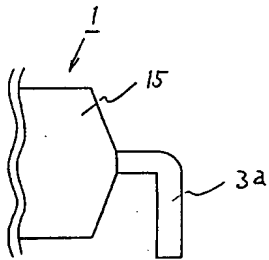
第3図(d)



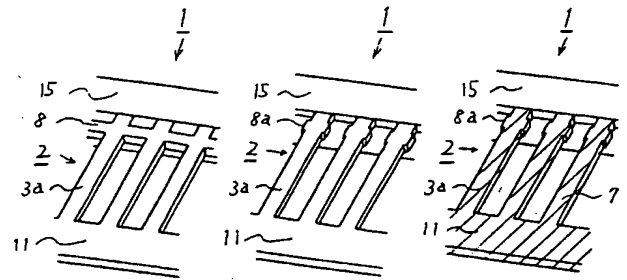
第 4 図 (a)



第 4 図 (b)



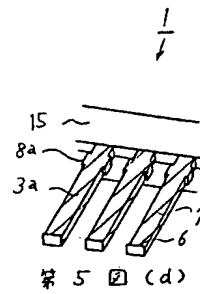
第 4 図 (c)



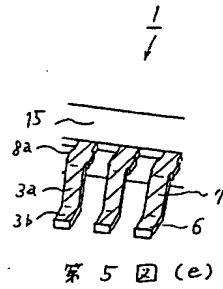
第 5 図 (a)

第 5 図 (b)

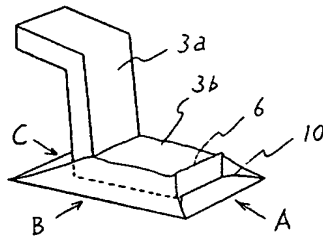
第 5 図 (c)



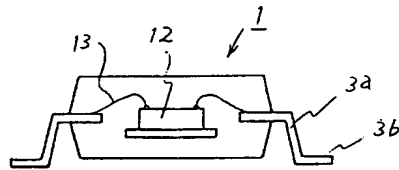
第 5 図 (d)



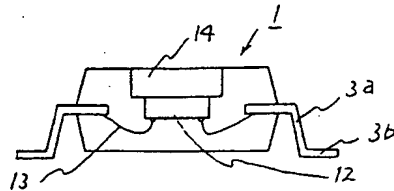
第 5 図 (e)



第 6 図



第 7 図 (a)



第 7 図 (b)